

パワーモジュール設計で求められる協調設計と構想設計

Cooperative design and Conceptual design required for Power Module

古賀 一成, 中道 貴則, 小林 由一, 岡 和磨
株式会社 図研

1. はじめに

近年のシステム LSI は大規模化と多ピン化が進み、チップレット(chiplet)のようにチップを分割し、パッケージの中でチップ間を接続するような構造が注目されている。このような半導体のレイアウト設計では、I/O 設計における最適なピン配置の検討は大変重要である。さらには信号の高速化により、半導体だけでなく、パッケージやプリント回路板を含めたシステム全体の信号や電源の品質を検証する環境が必要であり、これらの課題を解決するには、構想設計段階における協調設計が重要なテーマとなっている。

一方、近年複雑化するパワーモジュールの設計環境においても、メカとエレキや、レイアウト設計と解析など、設計の垣根を超える協調設計環境が求められている。本稿ではシステム LSI からパワーモジュールまで、幅広く求められる協調設計と構想設計について記す。

2. 期待される半導体パッケージ技術と課題

2.1 市場トレンド

半導体のロードマップ委員会が 2024 年で CMOS トランジスタの終焉を予測しているように、半導体の微細化技術は限界に直面している。そこで注目されているのがパッケージ技術である。低コストで単位面積当たりの集積度を高める方法として 3 次元 SiP(System in Package)やヘテロジニアスな実装と呼ばれる FOWLP(Fan-Out Wafer Level Package)、シリコン・インターポーザーなどさまざまなパッケージ技術が注目されている。

また、開発コストを削減する SiP 技術のひとつにチップレットという設計手法がある。チップレットは小さなチップという意味であるが、これまでのような大規模な 1 チップの SoC から用途別にチップを分割し、それぞれの機能にあった半導体プロセスを使い、パフォーマンスを維持しながら開発コストを下げる技術として注目されている。

先端半導体パッケージの技術革新はハイエンドなロジック系の半導体だけではない。世界規模で取り組まれる SDGs 達成に欠かせない技術としてパワー半導体の進化が注目されている。

2.2 課題

多機能で小型化が求められる半導体は、Package On Package(PoP)や 3D-IC のように複数のチップを縦方向に積層する三次元構造になってきている。これまで平面で考えていたチップ間の接続を縦方向で考えなければならず、電気的な特性や熱も大きな問題となる。

また最近では、増加するインターフェースを高密度に製造

する必要があるため、これまでのような有機やセラミック基板を用いたパッケージだけでなく、半導体のウェハーを用いた Wafer Level Package (WLP)がさまざまな構造で開発されている。

WLP やシリコン・インターポーザーのような半導体とパッケージの技術を融合した製造技術は多くの製品で使われ始めているが、設計環境においても半導体設計とパッケージ設計の技術の融合が必要である。入出力ファイルのインターフェースや、設計精度、3 次元実装を考慮した DRC(Design Rule Check)など、さまざまな課題をクリアしなければならない。

複数のチップが搭載されるパッケージ設計では、パッケージコスト削減のため、設計の初期段階からチップの I/O 設計と連携し最適なピンアサインを検討する必要があり、複雑化する半導体パッケージを正常に動作させるには PCB(Printed Circuit Board)設計との連携も非常に重要になってきている。

一方パワーモジュールはプリント回路板上で配線するのではなく、パワー半導体の構造上、空中でチップ間をワイヤーで接続し、板金の形状も設計段階で検討する必要があるため、これまではメカ CAD を使って設計するのが一般的であった。しかし近年の複雑化するパワーモジュールではさまざまなシミュレーション、電気的なチェックや DRC が必要となり、さまざまなツールを組み合わせた連携が課題となりつつある。



図1 協調設計の課題

このような背景から協調設計のニーズが高まり始めているが、この協調設計にもさまざまな課題がある。

例えば半導体、パッケージ、PCB それぞれの設計領域で使用されるネット名が異なる。さらに電源やグランドはパッケージや PCB でマージされるため、それらの接続関係をスプレッドシートなどで管理する必要があるが、人手による管理はミスが多発する。

また各領域でのスタンダードなインターフェースが異なるため、シームレスに接続することが難しく、設計文化の違いから制約や設計者の意図を上手く伝えられず、設計のミスやイタレーションが増加する。

3. 求められる EDA 環境

3.1 先端半導体パッケージへの対応

微細化の動きは半導体だけでなく、パッケージにも見られるようになり、WLP やシリコン・インターポーザーのように半導体製造プロセスを使った製品では、0.1nm のデータを扱う必要が出てきた。元々パッケージの設計ツールはプリント回路板設計ツールをベースに開発されていることが多く、10nm の値が扱えれば十分であったが、先端半導体パッケージを設計するにはデータベースの高精度化は重要なテーマである。

先端半導体パッケージの設計では3次元への対応も重要である。チップを積層したり、基板に内蔵したり、基板を2階建て構造にしたり、その構造はさまざまであるが、単位面積当たりの回路を増やすために垂直方向への実装は必要不可欠である。パワーモジュールも縦横無尽に空中でワイヤー接続するため、一般的なワイヤーボンディングパッケージとは異なるパラメータが必要となる。さらにチップの上にパワー基板を乗せて接続する新しい立体構造も出てきており、設計ツールは3次元だけでなく、設計自由度の高いツールが求められている。

3.2 SoC/PKG/PCB 協調設計

それぞれの設計データは扱うデータの単位や規模、形状、製造プロセスなどが異なるため、同じデータベースで全てを表現することは現実的ではない。データベースが異なっても、それぞれのデータを階層的に接続し、CAD のキャンパス上で全てのデータが俯瞰的に捉えられることが重要である。また協調設計は設計の早いタイミングで行えば行うほど、その効果が発揮できるため、構想設計段階から使用できるツールが求められている。構想設計段階では入力データが揃っていない場合や曖昧なデータが多く存在するため、不完全な入力情報からでも設計をスタートでき、そこから如何に短時間でプロタイプを作成できるかが重要である。

3.3 さまざまな EDA ツールとの連携

レイアウト設計者と回路シミュレーションを実施するエンジニアは別々である事が多いため、時間を掛けて完成したレイアウト設計もシミュレーションで問題が発生すると、大幅なレイアウト設計の変更が必要になり、このような事が繰り返し起こると設計期間伸びてしまい大きな問題となる。理想的にはレイアウト設計者が配線パターンを描きながら、同時並行で簡易的な解析を短時間で実行し、そのフィードバックが簡単に得られる設計環境が望ましいと思われる。ここで求められる解析は精度ではなく、解析時間の短さと、レイアウト設計者でも扱えるユーザーフレンドリーな操作性、問題の箇所がグラフィカルに分かる視認性の高さである。

パワーモジュール設計では解析を何度も実行しながら、ワ

イヤの接続や板金の形状を試行錯誤して設計を進める。そのため、先ほど述べたレイアウトツールと解析ツールの連携は非常に重要である。また解析の種類は応力や熱などの構造解析だけでなく、電気的な特性を見るために SI/PI のシミュレーションが必要なケースが増えてきており、電気信号が扱えないメカ CAD では解析ツール側での設定に時間を要してしまう。また回路の複雑化により、回路図を描きたいというニーズもあるが、一般的に回路図ツールとメカ CAD は連携ができない。

このような背景からパワーモジュール設計にプリント回路板用 CAD のニーズが高まっているが、メカ CAD の機能を全て凌駕することは難しく、それぞれの CAD の長をを活かしながらツールを組合せて使っていくことが重要である。そのため、求められるレイアウト CAD は回路図エディタや解析ツール、メカ CAD とシームレスに連携できるツールであり、このような設計環境が今後のパワーモジュール設計を強力に支援していくことになるであろう。

■ 求められる EDA 環境

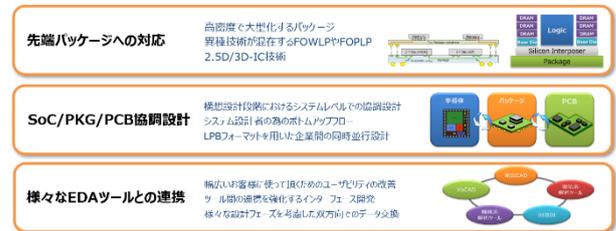


図2 求められる EDA 環境

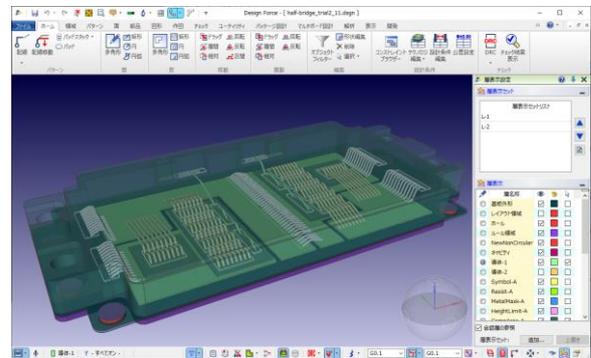


図3 Design Force によるパワーモジュール

4. おわりに

SoC/PKG/PCB 協調設計環境の必要性は 2000 年ごろから言われていたが、ターゲットになる製品はシステム LSI が中心であった。最近ではアナログの半導体でもこのようなニーズが高まり、メモリやパワー半導体の世界でも協調設計や構想設計、プロトタイプング、三次元、解析ツール連携、エレメカ連携が必要とされ、デジタル IC で培われてきた設計メソドロジーがさまざまな分野で適用できると思われる。

株式会社 図研

〒224-8585 神奈川県横浜市都筑区荏田東 2-25-1

TEL:045-942-1711

FAX:045-942-1733

kazunari.koga@jp.zuken.com